

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235651  
(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

H01L 27/12  
H01L 21/20  
H01L 21/304  
H01L 21/306  
H01L 21/762  
H01L 21/76

(21)Application number : 06-327503  
(22)Date of filing : 28.12.1994

(71)Applicant : CANON INC  
(72)Inventor : YAMAGATA KENJI  
YONEHARA TAKAO

(30)Priority

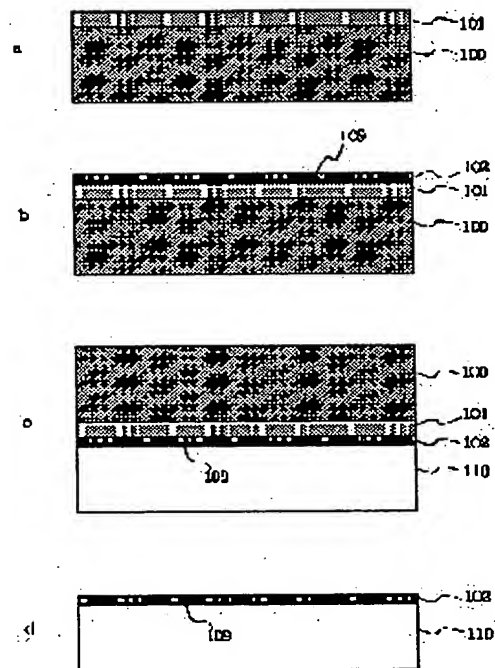
Priority number : 05337494 Priority date : 28.12.1993 Priority country : JP

## (54) SEMICONDUCTOR SUBSTRATE AND MANUFACTURE THEREOF

(57)Abstract:

**PURPOSE:** To protect a thin film against cracking and peeling and to prevent a substrate from warping much by a method wherein dissimilar substrates are brought into close contact with each other only by a Van der Waals force at a room temperature, and a single crystal silicon thin film is formed on the insulating substrate without performing a thermal treatment.

**CONSTITUTION:** The surface of a silicon substrate 100 is turned into a porous silicon 101. A single crystal silicon layer 102 is epitaxially grown on the porous silicon 101 through a CVD method. The substrate 100 which is cleaned with a mixed solution composed of hydrochloric acid/hydrogen peroxide/water, rinsed with pure water, and dried up and a molten quartz substrate 110 which is cleaned through the same method are brought into close contact with each other at a room temperature. The silicon substrate side of the joined substrate is ground. In succession, the silicon substrate 100 and the porous silicon layer 101 are subjected to an etching process. In result, an SOI substrate composed of a transparent substrate and a single crystal silicon thin film formed on it can be obtained. The SOI substrate is annealed and subjected to a heat treatment so as to enhance its joint interface in binding power. By this setup, a thin film can be protected against cracking, peeling, and warpage.



## LEGAL STATUS

[Date of request for examination] 24.11.1998  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3262470  
[Date of registration] 21.12.2001  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Japanese Laid-Open Patent Publication No.  
7-235651/1995 (Tokukaihei 7-235651) (Published on  
September 5, 1995)

(A) Relevance to claims

The following is a translation of passages related to  
claim 1 of the present invention.

(B) Translation of the relevant passages

[Claims]

[Claim 1]

A method for manufacturing a semiconductor  
substrate, characterized by carrying out the following  
steps in sequence:

(a) a step for anodizing a surface layer on one  
surface of a single-crystal semiconductor substrate so as  
to cause the surface layer to be porous, in order to form a  
porous single-crystal semiconductor layer on a  
non-porous single-crystal semiconductor area;

(b) a step for epitaxial-developing a non-porous  
single-crystal semiconductor layer on the porous  
single-crystal semiconductor layer;

(c) a step for superposing a surface of the

non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;

(d) a step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area;

(e) a step of etching the non-porous single-crystal semiconductor area remaining after the step (d), in order to remove all of the non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) a step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[Conventional Art]

[0010]

However, according to this method, a heat treatment is required so that a thin silicon substrate which is about 300 $\mu$ m thick has to be adopted in consideration of a thermal stress. For this reason, accidents such as cracking the substrate tend to occur during the processes of bonding and carrying the substrate, so that the

processes have to be carried out with great care. Moreover, to carry out a heat treatment with a higher temperature, a cycle of thinly grinding the substrate and carrying out a heat treatment has to be repeated. Thus, there is such a deficiency that the manufacturing speed cannot be increased when a "laminated SOI substrate" is manufactured.

[0015]

[Problem to Be Solved by the Invention]

As describe above, in the conventional "laminated SOI substrate", an insulating substrate and a silicon substrate cannot be sufficiently bonded with each other without carrying out a heat treatment. However, as described above, the aforementioned problems such as the crack and warpage of the substrate occur when a silicon substrate is directly bonded with a transparent substrate whose thermal expansion coefficient is different from that of the silicon substrate. To solve this problem, the temperature of the heat treatment has conventionally been subtly adjusted in such a manner as to keep the bonding force to be sufficient to withstand the shearing force while restrain the problems of crack and warpage. Such a subtle adjustment is, however, difficult to carry out.

[0017]

[Means to Solve the Problem and Effects]

Thus, the objective of the present invention is to form a high-quality and high-performance SOI substrate either without carrying out a heat treatment process or with simply only one heat treatment process, from a substrate manufactured by bonding, on a transparent insulating substrate, a silicon single-crystal substrate having a thermal expansion coefficient significantly different from that of the transparent insulating substrate.

[0019]

The inventors of the present invention have diligently worked on in order to achieve the above-mentioned objective. As a result, the inventors of the present invention have found that, an SOI substrate which can overcome the above-described problem can be manufactured in the following manner: A single-crystal silicon layer is epitaxial-developed on a porous silicon surface of a silicon substrate whose surface layer is caused to be porous. Then an insulating heterogeneous substrate which will be a supporting substrate is caused to closely contact with the epitaxial-developed surface at room temperatures and only by Van der Waals force, and in order to minimize the influence of the stress, the

silicon substrate is removed by wet-etching using an etching solution, without carrying out a heat treatment. Subsequently, the porous part is selectively etched, so that a single-crystal silicon thin film is formed on the insulating substrate.

[0024]

(a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;

(b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;

(c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;

(d) A step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area;

(e) A step of etching the non-porous single-crystal



semiconductor area remaining after the step (d), in order to remove all of the non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) A step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[0027]

(a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;

(b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;

(c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;

(e) A step of etching the non-porous single-crystal semiconductor area, in order to remove all of the

non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) A step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[0028]

On this occasion, it is preferable that the step (e) is carried out at not more than 100°C and in any one of an alkali solution, an organic alkali solution, and an acid solution including hydrogen fluoride and nitric acid.

[0030]

(a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;

(b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;

(c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the

insulating substrate, virtually without carrying out a heat treatment; and

(d) A step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area.

## (19) 日本国特許庁 (JP) (12) 公開特許公報 (A)

特開平7-235651

(49) 公開日 平成7年(1995)9月5日

(11) 特許出願公開番号

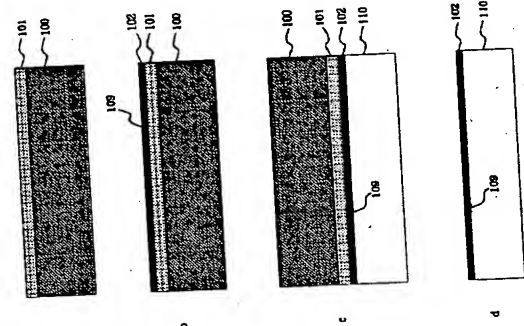
特許請求の範囲		技術的効果	
(5) InCl <sub>3</sub>		P1	
H 01 L	21/12	B	8418-4M
	21/20		
	21/304	3 2 1 M	
		H 01 L	21/ 306 B
			21/ 76 D
審査請求 未請求 請求項の数17 OL (全16頁) 最終頁に図く			
(21) 出願番号	特開平6-327503	(71) 出願人	000001007 キヤノン株式会社
(22) 出願日	平成6年(1994)12月28日	(72) 発明者	山方 肇二 東京都大田区下丸子3丁目30番2号キヤノ
(31) 優先権主張番号	特開平5-337494	(73) 発明者	米原 隆夫 東京都大田区下丸子3丁目30番2号キヤノ
(32) 優先日	平5(1993)12月28日	(74) 代理人	弁理士 丸島 肇一
(33) 優先権主張国	日本 (JP)		

## (54) 【発明の名称】 半導体基板およびその作製方法

## (71) 【要約】

【目的】 熱処理を行なうことで、基板が割れる、剥れる、反るといった事故が起こりやすいため、その問題を解決する貼り合わせ半導体基板とその作製方法を提供する。

【構成】 多孔質半導体上にエビタキシャル成長させた単結晶半導体と絶縁体基板を貼り合わせ、半導体基板を、エッチング、研削、あるいは両者の組み合わせを用いて削除する工程によって熱処理を行なわないか、行なうとしても一回しか行なわないようにする。



## (特許請求の範囲)

【請求項1】 以下の工程を順に行うことを特徴とする半導体基板の作製方法。

a) 多孔質半導体基板上に多孔質単結晶半導体層を形成するため、単結晶半導体基板の片方の表面を腐蝕化してより多孔質化する工程。

b) 前記多孔質単結晶半導体層上に非多孔質単結晶半導体層をエビタキシャル成長させる工程。

c) 前記非多孔質単結晶半導体層の表面と絶縁体基板とを貼り合わせる工程。

d) 前記非多孔質単結晶半導体層の一部を除去する工程。

e) 前記非多孔質単結晶半導体層の一部を除去し、前記多孔質単結晶半導体層を露出させるため、前記工程d)で残った前記非多孔質単結晶半導体層をエッチングする工程。

f) 前記多孔質単結晶半導体層を除去するため、前記多孔質単結晶半導体層に選択的なエッチングを行う工程。

【請求項2】 前記工程d)のあとに、前記非多孔質単結晶半導体層と前記絶縁体基板の間の結合を強めるため、全体に熱処理を施す工程d)を行う請求項1に記載の半導体基板の作製方法。

【請求項3】 以下の工程を順に行うことを特徴とする半導体基板の作製方法。

a) 多孔質単結晶半導体基板上に多孔質単結晶半導体層を形成するため、単結晶半導体基板の片方の表面を腐蝕化してより多孔質化する工程。

b) 前記多孔質単結晶半導体層上に非多孔質単結晶半導体層をエビタキシャル成長させる工程。

c) 前記非多孔質単結晶半導体層の表面と絶縁体基板とを貼り合わせる工程。

d) 前記非多孔質単結晶半導体層の一部を除去し、前記多孔質単結晶半導体層を露出させるため、前記非多孔質単結晶半導体層をエッチングする工程。

e) 前記多孔質単結晶半導体層を除去するため、前記多孔質単結晶半導体層に選択的なエッチングを行う工程。

f) 前記多孔質単結晶半導体層を除去し、前記非多孔質単結晶半導体層を露出させるため、前記非多孔質単結晶半導体層をエッチングする工程。

【請求項4】 前記工程e)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1乃至4のいずれかに記載の半導体基板の作製方法。

【請求項5】 以下の工程を順に行うことを特徴とする半導体基板の作製方法。

a) 非多孔質単結晶半導体基板上に多孔質単結晶半導体層を形成するため、単結晶半導体基板の片方の表面を腐蝕化してより多孔質化する工程。

b) 前記多孔質単結晶半導体層上に非多孔質単結晶半導体層をエビタキシャル成長させる工程。

c) 前記非多孔質単結晶半導体層の表面と絶縁体基板とを貼り合わせる工程。

d) 前記非多孔質単結晶半導体層の一部を除去し、前記多孔質単結晶半導体層を露出させるため、前記非多孔質単結晶半導体層をエッチングする工程。

e) 前記多孔質単結晶半導体層を除去するため、前記多孔質単結晶半導体層に選択的なエッチングを行う工程。

f) 前記多孔質単結晶半導体層を除去し、前記非多孔質単結晶半導体層を露出させるため、前記非多孔質単結晶半導体層をエッチングする工程。

【請求項6】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1乃至5のいずれかに記載の半導体基板の作製方法。

【請求項7】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1乃至6のいずれかに記載の半導体基板の作製方法。

【請求項8】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1乃至7のいずれかに記載の半導体基板の作製方法。

【請求項9】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1乃至8のいずれかに記載の半導体基板の作製方法。

【請求項10】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1乃至9のいずれかに記載の半導体基板の作製方法。

(1)

を貼り合わせる工程。  
d) 前記非多孔質単結晶半導体層の一部を除去する工程。

e) 前記非多孔質単結晶半導体層の一部を除去し、前記多孔質単結晶半導体層を露出させるため、前記工程d)で残った前記非多孔質単結晶半導体層をエッチングする工程。

f) 前記多孔質単結晶半導体層を除去するため、前記多孔質単結晶半導体層に選択的なエッチングを行う工程。

【請求項6】 前記工程d)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項7】 前記工程e)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項8】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項9】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項10】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項11】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項12】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項13】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項14】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項15】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項16】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項17】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項18】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項19】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項20】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項21】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項22】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項23】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項24】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項25】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項26】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項27】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項28】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項29】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項30】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項31】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

【請求項32】 前記工程f)のとき、エッチングを100℃以下のアルカリ溶液、有機アルカリ溶液、フッ酸および硝酸を含む腐蝕液中のいずれかで行う請求項1、2または5のいずれかに記載の半導体基板の作製方法。

とつとの基板にし、この基板から熱処理工程を行わないか、もしくは熱処理を行ったとしても1回の簡素化が、もたらされた方法で高機能、高性能SOI基板を作製することを目指す。

【0018】また本発明の別の目的は、デバイスを作  
単結晶シリコン中に積層欠陥ができたとしても、その積層  
欠陥がデバイスに悪影響を与えない半導体基板を作製  
することである。

【0019】本発明者は、以上の様な課題や欠点を鑑み、鋭意努力した結果、以下の知見を得た。つまり、美觀な多孔質化されたシリコン基板の多孔質シリコン面上に、好適な結晶シリコン層をエピタキシャル成長し、次いで該成膜面に支持基板となる絶縁体の質研基板を窒素でVan

der Waals力のみで密着し、応力の影響を最小に抑えるために、加圧処理をせずにシリコン窒素化合物

エッチング溶液によるウェットエッチングで除去し、

ン導膜を絶縁体基板上に形成すれば上記の問題点を解消して単相シリコン膜を絶縁体基板上に形成することができるとして、単相シリコン膜を絶縁体基板上に形成して、シリコン基板を製作することができる。

すシリコン基板部分がまた充分厚く基板間の界面のせ

板の一部分を除去し、その後研削によって残ったシリ

で除去するという方法でも上記の問題点を解決するS

課題となる。また、このように研削盤は研削されるので貼り合わせ界面にはここにはかたくなき大きな断応力がかる。さらに両基板の接合面では、研削の度に貼り合わせ界面の結合が強くなってしまふ。この問題を解決するために、界面の結合力が強くなりすぎないように基板の研削による荷重化と高温の熱処理を繰り返して、断り易くする必要がある。しかしこの方法ではプロセスに時間がかかり大量生産には向かない。

【0013】また別の欠点は、研磨により単結晶シリコンの薄膜を製作するので膜厚の均一性を出すために特別な装置と非常に精密な制御が必要とする。

【0014】他の方法でSOI基板を作製するため、絶縁体基板上に半導体膜を直接堆積させられれば良いが、絶縁体基板上では半導体薄膜がうまく結晶化せず、単結晶半導体薄膜を形成するのは不可能である。

【0015】  
「海胆が超決！ ようとーている羅望」以上述べたよう

に、従来の「出力合わせSOI基板」では、熱処理を行わねばならないと絶縁体基板とシリコン基板の間に十分な結合力が得られない。しかし、一方で前述したようにシリコン基板と熱処理環境の真なる透明基板を直接貼り合わせ、熱処理することによって結着されるために、従来はせん断応力に耐え得る程度の結合力を保ちかつ割れや反りの問題が出ない条件下で設計がなされてきた。しかし、この問題は極めて微妙な問題と高い温度と多歩的に、また更には、低い温度から高い温度へと多歩的に熱処理を行なうような設計の工夫を凝らなければならない。

このためこの方法では大量生産のできるSOI基板を作製することはできない。こういう問題を解決するために、熱処理の工程なしで研削してSOI基板を得たい。さらにはまた他の方法でも、高性能電子素子を作製するに足るSOI基板を生産よく提供できる技術は、未だ達成するに至っていない。

【0016】一方、従来の堆積膜形成方法で単結晶半導

しかし、熱膨張係数の大きく違う基板同志を貼り合わせ、温度変化が起こった場合、両基板の熱膨張係数の違いに起因する応力が発生する。

【0007】更に、支柱体となる基板間にガラスのよ  
うなシリコン以外の絶縁体基板を用いる場合には、二枚  
の基板を貼り合わせた後、その界面の結合を強力なもの  
にするための1000℃前後の熱処理工程の際に、両基  
板の熱膨張係数の違いから膨らみやすさが反って  
、または膨らみが揃ってしまったり、またはは面  
、または膨らみが揃ってしまったり、またはは面

基板がはがれてしまう場合がある。熱膨張係数がシリコンと近い材料を合成して支持基板に用いた例もあるが、そのような材料は知られている限りでは耐熱性が悪く、結合を強めるための熱処理やデバイスを形成するためのプロセス温度に耐えられない。

【0008】これら問題に解決する「貼り合わせSOI基板」を製作した例を、阿部らが報告している[Extended Abstracts of the 1981 International Conference on SOLID STATE DEVICES AND MATERIALS, 1982 Tsutsumi, pp. 437-441, または特開平4-146130]。

【0009】この方法では、比較的薄い(3000 $\mu$ m)シリコン基板と石英基板を貼り合わせた後、貼り合わせ処理が不十分で、石英基板の厚さが3000 $\mu$ m程度の第1の熱処理で剥離し、その後シリコン基板をウエッジングのみで1500 $\mu$ m程度まで薄くする。そして第2の熱処理をして4500 $\mu$ m程度のアニールを行い、面研削のせん断応力に耐える結合力を得た後にラインダーで数 $\mu$ mまで研削する。さらにその後に研磨層によりシリコン基板を薄層化する。

【0010】しかしこの方法では、熱処理が必須であるために熱応力を考慮して300 $\mu$ m厚程度の薄いシリコン基板を用いなければならない。そのため基板の貼付や移送などの作業中に基板を割る等の事故を起こしやすいので、作業には慎重を期す必要がある。さらにはより高い温度での熱処理を行う為に基板を磨く研削し、その後熱処理を行う、というサイクルを繰り返さなければならぬ。これらの理由から「貼り合わせSOI基板」では、作製速度を大きくできないという欠点を持っている。

【0011】具体的には、貼りつける半導体基板の基板の厚は、機械的強度を保つために通常4～5インチ径のシリコン基板では500 $\mu\text{m}$ 程度、6～8インチ径では600 $\mu\text{m}$ 程度、9インチ径では800 $\mu\text{m}$ 程度が必要となる。更に8インチ径以上になると厚さ300 $\mu\text{m}$ 前後の厚い基板が必要になり、300 $\mu\text{m}$ 前後の薄い基板を用いた場合、最初に貼りつける工程の取扱いが極めて困難になる。

【0012】また、他の欠点もある。それは、絶縁体基板と半導体基板の間にかかるせん断応力に起因する割れの問題である。シリコン基板を研削して薄くすることに、支持基板とシリコン基板の貼り合わせ界面に大きなせん断応力がかかる。実際、シリコン基板は数 $\mu\text{m}$ の薄

と分とする請求項14及至15に記載の半導体基板。  
 【請求項17】 前記基板は半導体基板、特に単結晶シリコン基板である請求項13乃至16に記載の半導体基板。

【発明の詳細な説明】  
【０００１】

【産業上の利用分野】本発明は、半導体基板とその作製方法に関する。特に半導体活性細胞体基板上に単結晶半導体

を、エポキシ樹脂成長方法やイオン注入方法を利用して、さらに詳しくは、特許文献2に記載の半導体基板の作製方法に関する。また、特許文献3には、有機絶縁性樹脂を基板の上に作製する半導体基板とその作製方法に関する。

【0002】従来の技術】絶縁物上の単結晶シリコン半導体層の形成は、Silicon on Insulator (SOI) 技術として広く知られ、通常のシリコン集積回路を製作するバルクシリコン基板では到達しえない数々の優位点をこの基板が有することから、多くの研究が成されてきた。

【0003】絶縁膜の上に成長させた単結晶膜がデバイ

めて割合が良い。1) 基板がらみの寄生（浮遊）容量が小さくなる、2) 放射線に強い、3) ラッチアップフリーのCMOSがねえるために、高性能（ハイスピード）、高信頼のデバイスがねえるのである。このためにSOIデバイスが注目されている。

【0004】最近報告されたSOI形成法の中で、特に「実質的に覆れているものとして通称「貼り合わせSOI」」がある。これは、少なくとも一方が酸化等により絶縁膜が形成されている2枚のウェハ一の鏡面同士を密着させ、熱処理を施して接合界面の結合を強力なものとした。

後、どちらか一方側から基板を研磨、或いはエッチングすることによって絶縁膜上に仕意の厚みを持ったシリコン単結晶薄層を調製するという技術である。この技術においても重要なのはシリコン層を薄膜化する工程である。なぜなら、シリコン層を薄膜化しないと上記のようなSSOIの利点が生かされないからである。

【0005】しかしこのシリコン層を薄化させるためには、通常数百 $\mu\text{m}$ もの厚さのシリコン基板を均一に数 $\mu\text{m}$ 、もしくは $1\mu\text{m}$ 以下の厚さまで研削、或いはエッチングしなければならない。これら研削や基板の均一化は、極めて困難な技術である。この順序制御の困難さため、この「貼り合わせSOI」は、SOI技術の中でも最も良質な単結晶薄膜を提供できる可能性を持っていないが、半導体産業に受け入れられていない。

【0006】また貼り合わせSOIにおいてもう1つの重要な問題がある。それは絶縁体基板とシリコン基板の熱膨張係数の違いである。支持体となる基板側にシリコン基板を用いる場合（即ちシリコン基板同志の貼り合わせ）にはこの熱膨張係数の違いは殆ど問題にならない。





- (7) 11 度が小さくなる。即ち孔の占める体積が大きくなる。これによってエビタキシヤル成長の条件が変わる。
- 【0043】(図1b) 以上のようにして形成した多孔質シリコン101上、非多孔質の単結晶シリコン102をエビタキシヤル成長させる。エビタキシヤル成長は一般的な熱CVD、減圧CVD、プラズマCVD、分子線エビタキシヤ、スパッタ法等で行う。成長する膜厚はS<sub>2</sub>O<sub>2</sub>層の設計値と同じくすれば良いが、好ましくは2μm以下の膜厚が良い。これは2μm以上の膜厚の単結晶シリコン膜がS<sub>2</sub>O<sub>2</sub>を主成分とする絶縁体基板と密着している場合、これをデバイスプロセスで熱処理すると両材料の熱膨張係数の違いから貼り合わせ界面に大きな応力が発生し、シリコン膜の破壊、基板の反り、または界面での剥離等が起こってしまうからである。膜厚が2μm以下であれば応力は比較的小さいので、膜の破壊、剥離、反り等は起こりにくい。より好ましくは、0.5μm以下である。これは0.5μm以上の膜厚である場合、後のアニールの際に剥離、破壊等が起こらなくとも、微小な領域において結晶にスリップラインが生じやすくなるからである。
- 【0044】エビタキシヤル102の表面を熱酸化しておくのが好ましい。何故かといえば単結晶シリコンのエビタキシヤル層を堆積させたまま状態だと、界面の原子の非結合性(ダングリングボンド)が多くなる。このため大気中で行う次の工程で直接支持基板と貼り合わせた場合、貼り合わせ界面には不純物が偏析しやすい。この不純物の偏析は薄膜デバイスの特性を不安定化させる要因になる。
- 【0045】尚エビタキシヤル層102には、成長界面より膜厚欠陥109が発生する場合がある。
- (8) 12 【0046】(図1c) 上記成長したエビタキシヤル面或いは酸化したエビタキシヤル面を、支持基板であるSiO<sub>2</sub>を主成分とする絶縁性基板110と貼り合わせる。この貼り合わせは、同基板を短波と過酸化水素水混合液、または硫酸と過酸化水素水混合液等で洗浄した後に行なわれる。即ちこの洗浄によって同基板表面を親水性に処理することができ、貼り合わせ界面の水を介してVan der Waals結合力が増大するからである。フッ酸溶液等の過水素水を行なった基板でも、貼り合わせ面の平坦性が良ければ貼り合わせは十分可能である。ここで絶縁性基板110はセラミックス一般は殆ど可能であり、特に光学的に透明性を重視するなら溶融石英、合成石英、高融点ガラス等の中から選ばれる。
- 【0047】一般的な方法であれば、次に1000℃前後の熱処理を行なうのだが、本発明ではこれを行なわない。貼り合わせ基板の結合を強めるために、ここで基板を加圧するとよい。圧力は全く任意であるが、例えば5インチ基板全面に数十トン〜数十トンの圧力を加えると、エッチングや研磨工程中に基板が割れる確率は著しく減少する。加圧する時間は、数分〜1時間程度でよい。

- (9) 13 あまり選択比がとれないこと、残されるべき単結晶シリコン薄膜も多少エッチングされるということで、精密に時間等の制御をする必要がある。
- 【0051】以上の工程を行なうことにより絶縁体基板上に単結晶シリコン薄膜を得ることができる。尚多孔質シリコン上のエビタキシヤル成長時に成長中に膜厚欠陥109が発生した場合、この膜厚欠陥は貼り合わせによって、絶縁体基板110上に通常と逆方向になっ存在することになる。この後デバイスプロセスに移行するときには、薄膜と基板の結合力を高めるために、400℃以上程度の熱処理を行なうのが好ましい。またはデバイスプロセスの熱工程(酸化等)が、これに代わっても問題は無い。
- 【0052】本発明の第1の実施態様例は、非多孔質シリコン基板の剥離の工程をすべてエッチングで行う以外に上記の本発明の第2の実施態様例と同様である。
- 【0053】本発明の第3の実施態様例は、非多孔質シリコン基板の剥離の工程を2回に分けた研削で行い1回目の剥離の後、熱処理の工程を含む以外は上記の本発明の第2の実施態様例と同様である。
- 【0054】本発明の方法の第1の態様については、最初基板界面を断断的に削ることは単結晶シリコン部分をまず研削により一部除去し、単結晶シリコン部分が十分薄くなって、研削では剥離の危険にさらされるようになったら、単結晶シリコン部分の除去をウェットエッチングに切り替えるため、熱処理を行わずかつ高速度にSOI基板の作製を行える効果がある。
- 【0055】本発明の方法の第2の態様については、ウェットエッチングのみで単結晶シリコン基板を除去するので、研削の方法のみで行った場合では不可だった熱処理の工程をなくすることができ、第1の態様に比べてプロセス回数が少なくなる。それでプロセスを行うの際に部材や材料をたくさん用意しなくても良い効果がある。
- 【0056】本発明の方法の第3の態様については、シリコン基板部分を一度に除去するのではなく2度に分けて研削を行うので一回の熱処理をその間に行うだけでシリコン基板部分を除去することができる。だから、非多孔質シリコン基板部分のウェットエッチングをする工程を必要としないので、高速度にSOI基板の作製を行える効果がある。
- 【0057】
- 【実施例】
- (実施例1) 図1及び図6を用いて本発明の第1の実施例の詳細を説明する。
- 【0058】(図1a) 62.5ミクロンの厚みを持った5インチP型(100)単結晶シリコン基板(0.1〜0.20cm)を用意し、これを図6aに示すような装置にセットして酸化形成を行ない、シリコン基板10の表面を20μmだけ多孔質シリコン101にした。

- (10) 14 この時の溶液604は4.9%HF溶液を用い、電流密度は100mA/cm<sup>2</sup>であった。そしてこの時の多孔質化速度は8.4μm/min.であり、20μmの厚みの多孔質膜は約2.5分で作られた。
- 【0059】(図1b) 前記多孔質シリコン101上にCVD法により、単結晶シリコン層102を0.5μmエビタキシヤル成長した。堆積条件は以下のとおりである。
- 【0060】使用ガス: SiH<sub>4</sub>/H<sub>2</sub>
- ガス流量: 0.42/140 (l/min)
- 温度: 750℃
- 圧力: 80 Torr
- 成長速度: 0.08μm/min.
- このとき膜厚欠陥109が発生した。
- 【0061】(図1c) 上記方法にて作成した基板を硫酸/過酸化水素水/水の混合液で洗浄し、純水リンスして乾燥させた後に同方法にて洗浄した5インチの溶融石英基板110と室温で密着させた。
- 【0062】(図1d) 上記貼り合わせ基板のシリコン基板側を、まず表面研削装置で475μm研削してシリコン基板の残り厚を約150μm(単結晶基板部分が130μm、多孔質シリコン部分が20μm、エッチングが0.5μm)とした。続いてこの基板を市販されている現像液SD-1(湖山製薬製:テトラメチルアンモニウムハイドロキサイド水溶液)の原液に浸し、85〜90℃の温度で140分間保持した。その結果石英基板110は殆どエッチングされないが、シリコン基板10は約130μm全てエッチングされ、多孔質シリコン層101が約10μmエッチングされて露出した。この基板を引き続き選択エッチング溶液中に浸し、多孔質部分101のみを選択的に全てエッチングした。このとき選択エッチング溶液の組成と多孔質シリコンに対するエッチング速度は、
- HF:H<sub>2</sub>O<sub>2</sub> = 1:5
- 1.6μm/min.
- であった。従って10μmの多孔質部分は、約7分間で全てエッチングされた。ちなみにこのときの単結晶シリコン層102のエッチング速度は0.006μm/hであり、殆どエッチングされずに残った。また石英基板110は、上記エッチング液でのエッチング速度が約0.5μm/min.であるので、エッチング時間中に約4μmエッチングされたことになる。石英基板の元の厚みは62.5μmだったので約62.1μmに減ったことになる。
- 【0063】この結果透明基板の上に厚さ0.5μmの単結晶シリコン薄膜を備えたSOI基板を得た。尚膜厚欠陥109は逆向きに透明基板上にできた。この基板を窒素雰囲気中、1000℃で1時間アニールし、貼り合わせ界面の結合力を高める熱処理を行なった。単結晶シリコン膜にはクラック、スリップライン等は、アニールに

(1)

15

よっては発生しなかった。

【0064】(実施例2) 図2を用いて本発明の第2の実施例の詳細を説明する。

【0065】(図2a) 300 $\mu$ mの厚みを持った抵抗率0.01 $\Omega$ ・cmの4インチP型(100)シリコン基板200 $\mu$ mを用意し、その表面を第1実施例と同様にして200 $\mu$ mだけ多孔質シリコン201とした。

【0066】(図2b) 得られた多孔質シリコン上に第1実施例と同様にしてエビタキシャル層202を0.5 $\mu$ mの厚みに形成した。

【0067】(図2c) 上記方法にて作成した基板をフッ酸/水の1:40混合液で洗浄し、純リンスして乾燥させた後に同方法にて洗浄した4インチの溶融石英基板210と室温で密着させた。さらに圧搾機を用いて4インチの基板全面に60トンの圧力を加え、10分間保持した。

【0068】(図2d) まず280 $\mu$ mあるシリコン基板部分200の180 $\mu$ mを表面研削装置で研削し、残りシリコン厚を約100 $\mu$ m(単結晶シリコン部分が80 $\mu$ m、多孔質部分が20 $\mu$ m、エッジ部分が0.5 $\mu$ m)とした。続いてフッ酸/硝酸/酢酸の1:10:10混合液でエッチングした。そして表面に多孔質シリコン201が露出したところ、多孔質シリコン201をフッ酸/過酸化水素水の1:5混合液で選択的にエッチングに切り替えた。このときフッ酸/硝酸/酢酸の単結晶シリコンに対するエッチングレートは約2 $\mu$ m/分であったので約40分で、またフッ酸/過酸化水素水の多孔質シリコンに対するエッチングレートは約1.6 $\mu$ m/分であったので約13分で多孔質全面がエッチングできた。石英基板210は数 $\mu$ mエッチングされただけにとどまった。

【0069】(図2e) 上記工程により得られた石英基板210上の単結晶シリコン層202を、設計された素子の面積、形状、配置に合わせて島状にパターンニングした。例えばチャネル長/チャネル幅が各々2 $\mu$ m/4 $\mu$ mのMOS型トランジスタを設計した位置には、ソース・ドレイン領域を含めて4 $\times$ 10 $\mu$ m<sup>2</sup>の島を設計位置にパターンニングした。

【0070】パターンニング後に窒素雰囲気中、1000 $^{\circ}$ Cで2時間の熱処理を行い、透明基板上に厚さ0.5 $\mu$ mの単結晶シリコン薄膜を備えたSOI基板を得た。

【0071】(実施例3) 図3を用いて本発明の第3の実施例の詳細を説明する。

【0072】(図3a) 400 $\mu$ mの厚みを持った抵抗率0.01 $\Omega$ ・cmの5インチP型(100)シリコン基板300を用意し、その表面から20 $\mu$ mの厚みだけ多孔質シリコン1を形成した。

【0073】(図3b) 得られた基板の多孔質表面に第1実施例と同様にしてエビタキシャル層302を0.5 $\mu$ mの厚みに形成した。さらに同基板のエビタキシャル層302表面を1000 $^{\circ}$ Cの水蒸気中で0.2 $\mu$ m酸化した。

16

【0074】(図3c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純リンスして乾燥させた後に同方法にて洗浄した5インチの溶融石英基板310と室温で密着させた。

【0075】(図3d) 第1実施例と同様な方法で、表面研削装置でシリコン基板部分を230 $\mu$ m研削して残りを150 $\mu$ mとした後、SD-1によってシリコン基板部分300を全てエッチングして、多孔質部分301を露出した。続いて多孔質部分301はフッ酸/過酸化水素水溶液で選択的にエッチングした。

【0076】(図3e) 上記工程により得られた石英基板310上の単結晶シリコン層302を、第2実施例と同様にして、設計された素子の面積、形状、配置に合わせて島状にパターンニングした。

【0077】パターンニング後に素子形成の第1工程として、各々の島状領域を1000 $^{\circ}$ Cの窒素雰囲気中で0.05 $\mu$ m酸化した。従ってこの酸化工程を熱処理と兼ねることとし、結果、透明基板上に厚さ約0.4 $\mu$ mの単結晶シリコン薄膜を備えたSOI基板を得た。

【0078】(実施例4) 図4を用いて本発明の第4の実施例の詳細を説明する。

【0079】(図4a) 600 $\mu$ mの厚みを持った抵抗率0.01 $\Omega$ ・cmの5インチP型(100)シリコン基板400を用意し、その表面から20 $\mu$ mの厚みだけ多孔質シリコン1を形成した。

【0080】(図4b) 得られた基板の多孔質表面に第1実施例と同様にしてエビタキシャル層402を0.5 $\mu$ mの厚みに形成した。

【0081】(図4c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純リンスして乾燥させた後に同方法にて洗浄した5インチの溶融石英基板410と室温で密着させた。

【0082】(図4d) 表面研削装置でシリコン基板部分400を150 $\mu$ m残して研削した。ここで得られた基板を300 $^{\circ}$ Cで24時間熱処理を行なった。

【0083】(図4e) この後第1実施例と同様にSD-1により残りのシリコン基板部分400を全てエッチングした後、多孔質部分401をフッ酸/過酸化水素水溶液で選択的にエッチングした。

【0084】上記工程により、石英基板410上に単結晶シリコン薄膜を備えたSOI基板を得た。

【0085】(実施例5) 図5を用いて本発明の第5の実施例の詳細を説明する。

【0086】(図5a) 600 $\mu$ mの厚みを持った抵抗率0.01 $\Omega$ ・cmの5インチP型(100)シリコン基板500を用意し、その表面から20 $\mu$ mの厚みだけ多孔質シリコン1を形成した。

【0087】(図5b) 得られた基板の多孔質表面に第1実施例と同様にしてエビタキシャル層502を0.5 $\mu$ mの厚みに形成した。

【0088】(図5c) エビタキシャル層502の表面を酸化し、0.1 $\mu$ mのSiO<sub>2</sub>層503を形成した。

【0089】(図5d) 上記基板を塩酸/過酸化水素水/水の混合液で洗浄し、純リンスして乾燥させた後に、同方法にて洗浄した5インチの溶融石英基板510と室温で密着させた。

【0090】更に密着した基板を20トンの圧力で5分間加圧した。

(10)

17

け多孔質層501を形成した。

【0097】(図5b) 得られた基板の多孔質表面に第1実施例と同様にしてエビタキシャル層502を0.5 $\mu$ mの厚みに形成した。

【0098】(図5c) エビタキシャル層502の表面を酸化し、0.1 $\mu$ mのSiO<sub>2</sub>層503を形成した。

【0099】(図5d) 上記基板を塩酸/過酸化水素水/水の混合液で洗浄し、純リンスして乾燥させた後に、同方法にて洗浄した5インチの溶融石英基板510と室温で密着させた。

【0090】更に密着した基板を20トンの圧力で5分間加圧した。

【0091】(図5e) 表面研削装置でシリコン基板部分500を150 $\mu$ m残して研削した。

【0092】(図5f) ここで300 $^{\circ}$ Cで10時間の熱処理を行ない、次いでSD-1を用いて第1の実施例と同様に残りのシリコン基板部分をエッチングし、シリコン基板部分全てを除去した。

【0093】後は第1実施例同様に多孔質部分501をフッ酸/過酸化水素水溶液で選択的にエッチングした。

【0094】上記工程により1回の熱処理だけで石英基板510上に単結晶シリコン薄膜を備えた半導体基板を得た。

【0095】(実施例6) 図1及び図6を用いて本発明の第6の実施例の詳細を説明する。

【0096】(図1a) 625ミクロンの厚みを持った5インチP型(100)単結晶シリコン基板(0.1 $\sim$ 0.2 $\Omega$ cm)を用意し、これを図8aに示すような装置にセットして酸化成形を行ない、シリコン基板100の表面を20 $\mu$ mだけ多孔質シリコン101にした。

【0097】(図1b) 前記多孔質シリコン101上にCVD法により、単結晶シリコン層102を0.5 $\mu$ mエビタキシャル層を成長させた。堆積条件は以下のとおりである。

【0098】使用ガス: SiH<sub>4</sub>/H<sub>2</sub>  
ガス流量: 0.62/140 (l/min)  
温度: 750 $^{\circ}$ C  
圧力: 80 Torr

【0099】(図1c) 上記方法にて作成した基板をこのとき窒素欠陥109が発生した。

【0099】(図1c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリンスし、乾燥させた後に同方法にて洗浄した5インチの溶融石英基板110と室温で密着させた。

【0100】(図1d) 上記貼り合わせ基板をまず市

18

販されている現像液SD-1(旭光曹業製:ネトラメチルアンモニウムハイドロキシド水溶液)の原液に投入し、85 $\sim$ 90 $^{\circ}$ Cの温度で10時間保持した。その結果、石英基板110は殆どエッチングされないが、シリコン基板100は約600 $\mu$ m全てエッチングされ、多孔質シリコン層101が露出した。この基板を引き続き選択エッチング溶液中に浸し、多孔質部分101のみを選択的に全てエッチングした。このとき選択エッチング溶液の組成と多孔質シリコンに対するエッチング速度は、HF:H<sub>2</sub>O<sub>2</sub> = 1:5 1.6 $\mu$ m/min。

【0101】この結果透明基板上に厚さ0.5 $\mu$ mの単結晶シリコン薄膜を備えたSOI基板を得た。尚、層欠陥109は逆向きに透明基板上にできた。この基板を窒素雰囲気中、1000 $^{\circ}$ Cで1時間アニールし、貼り合わせ界面の結合力を高める熱処理を行なった。単結晶シリコン膜にはクラック、スリップライン等は、アニールによつて発生しなかった。

【0102】(実施例7) 図2を用いて本発明の第7の実施例の詳細を説明する。

【0103】(図2a) 300 $\mu$ mの厚みを持った抵抗率0.01 $\Omega$ ・cmの4インチP型(100)シリコン基板200を用意し、その表面を第1実施例と同様にして20 $\mu$ mだけ多孔質シリコン201とした。

【0104】(図2b) 得られた多孔質シリコン上に第1実施例と同様にしてエビタキシャル層202を0.5 $\mu$ mの厚みに形成した。

【0105】(図2c) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、更に純水でリンスし、乾燥させた後に同方法にて洗浄した4インチの溶融石英基板210と室温で密着させた。

【0106】(図2d) まず280 $\mu$ mあるシリコン基板部分200をフッ酸/硝酸/酢酸の1:10:10混合液でエッチングした。そして表面に多孔質シリコン201が露出したところ、多孔質シリコン201をフッ酸/過酸化水素水の1:5混合液で選択的にエッチングした。このときフッ酸/硝酸/酢酸の単結晶シリコンに対するエッチングレートは約2 $\mu$ m/分であったので約140分、またフッ酸/過酸化水素水の多孔質シリコンに対するエッチングレートは約1.6 $\mu$ m/分であったので約13分で多孔質全面がエッチングできた。石英





(13)

23

ないか、或いは1回の底通熱処理を施すことで、従来の熱膨張係数の異なる基板同士の貼り合わせのように溝隙が割れたり、割られたり、また基板が大きく区つたりすることがなくSOI基板を形成することが可能になった。同時にエピタキシャル成長層は膜厚分布の偏りが容易であるため、本発明の貼り合わせによって得られるSOI基板のシリコン膜厚の分布も極めて良好となる。そして本方法にれば光透過性のSOIが容易に作製可能であるので、この性質を利用した機能性デバイスを設計することも可能であるし、またSOI構造の大規模集積回路を作製する目的に対しても、高価なSOSや、SIMOXの代替足り得る半導体基板を提供することができるようになった。

【図面の簡単な説明】

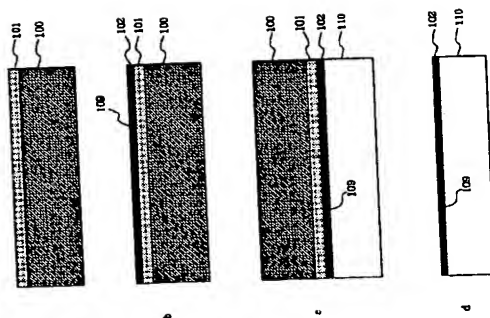
【図1】本発明の工程を説明するための模式的断面、及び本発明の第1の実施例及び第6の実施例の説明図を示す。

【図2】本発明の第2の実施例及び第7の実施例の説明図を示す。

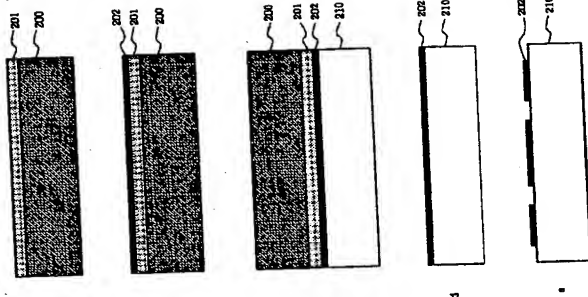
【図3】本発明の第3の実施例及び第8の実施例及び第11の実施例の説明図を示す。

【図4】本発明の第4の実施例の説明図を示す。

【図1】



【図2】



24

【図5】本発明の第5の実施例の説明図を示す。

【図6】シリコン基板を多孔質化する際の装置説明図を示す。

【図7】本発明の第9の実施例の説明図を示す。

【図8】本発明の第10の実施例の説明図を示す。

【図9】本発明の第12の実施例の説明図を示す。

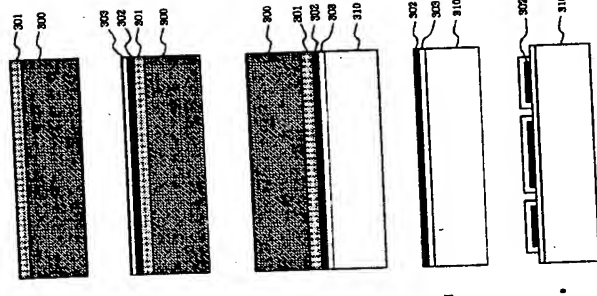
【図10】膜厚欠陥の成長を表す説明図である。

【符号の説明】

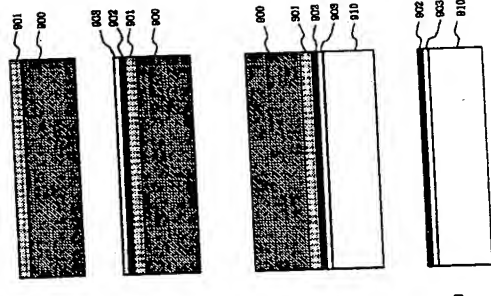
100、200、300、400、500、600、700、800、900 単結晶シリコン基板  
101、201、301、401、501、701、801、901 多孔質化したシリコン基板  
102、202、302、402、502、702、802、902、1002 エピタキシャル成長層  
109、709、1009 膜厚欠陥  
303、505 エピタキシャル成長層  
110、210、310、410、510、710、810、910 透明絶縁体基板  
604、604' エッチング液  
605、605' 正電極  
606、606' 負電極  
1000 単結晶シリコン基板もしくは絶縁体基板

(14)

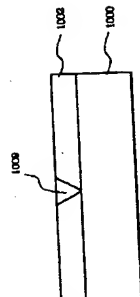
【図3】



【図9】

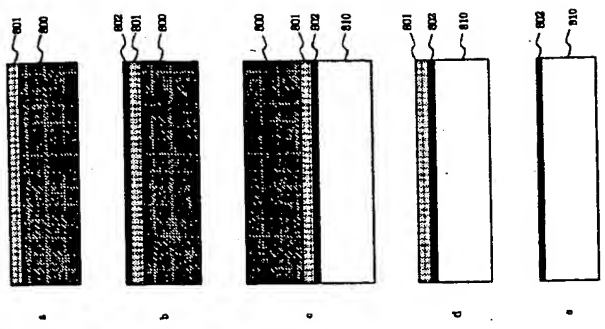


【図10】

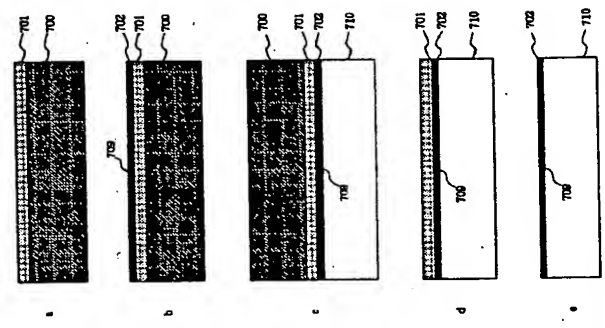


(14)

【図6】

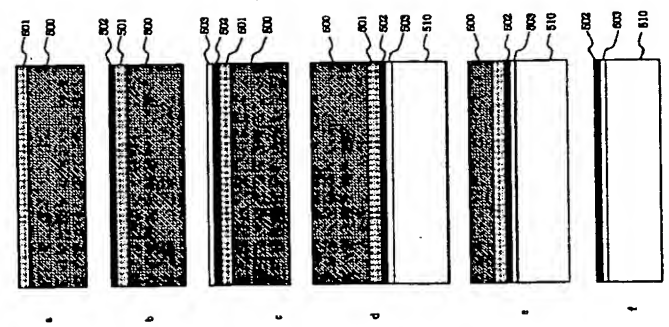


【図7】

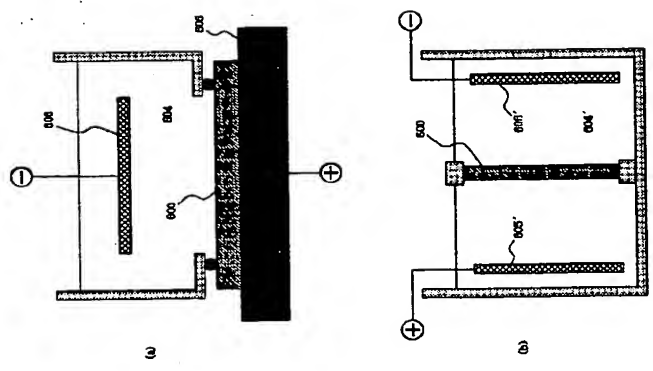


(15)

【図5】



【図6】



フロントページの続き

(51) Int. Cl.  
H01L 31/304  
31/74  
31/76

発明の名称

FI

技術表示箇所

H01L 31/76 P

**THIS PAGE BLANK (USPTO)**